

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11135745

(43)Date of publication of application: 21.05.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/8234
H01L 27/088
H01L 27/10
H01L 29/78
H01L 21/336

(21)Application number: 09297119

(22)Date of filing: 29.10.1997

(71)Applicant:

(72)Inventor:

TOSHIBA CORP

KOIKE HIDETOSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

<http://www2.ipdl.jpo-miti.go.jp/dbpweb/connecter/guest/DBPquery/ENGDB/wdispaj>

00/09/01

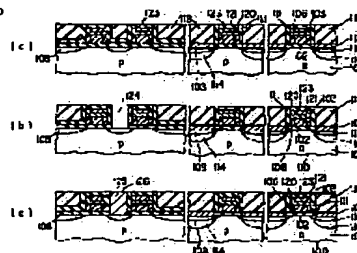
Searching PAJ

2/2 ページ

(57)Abstract:

PROBLEM TO BE SOLVED: To form a contact hole, which is adjacent to a gate electrode, like in self-aligning manner with respect to a gate electrode.

SOLUTION: After forming a gate electrode, a silicon nitride film 111 is deposited on the whole surface, and after depositing a silicon oxide film 118, a surface is polarized. Then, through the use of a prescribed contact pattern, etching is made by using the condition of high selecting rate with respect to the film 111 and using an RIE method for the film 118, only the film 111 is etched in addition so as to form a contact hole 124 adjacent to the gate electrode. A polycrystalline film 125 doped with an n-type impurity is deposited on the whole surface to fill the hole 124 and the film 125 is shaved, until the film 118 is exposed by using a CMP method to planarize a surface for forming a SAC 126.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

<http://www2.ipdl.jpo-miti.go.jp/dbpweb/connecter/guest/DBPquery/ENGDB/wdispaj>

00/09/01

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135745

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl. ⁵	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 8 1 F
21/8242			4 6 1
21/8234		27/08	1 0 2 H
27/088		27/10	6 7 1 Z
27/10	4 6 1	29/78	3 0 1 P
審査請求 未請求 請求項の数14 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願平9-297119

(22) 出願日 平成9年(1997)10月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小池 英敏

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

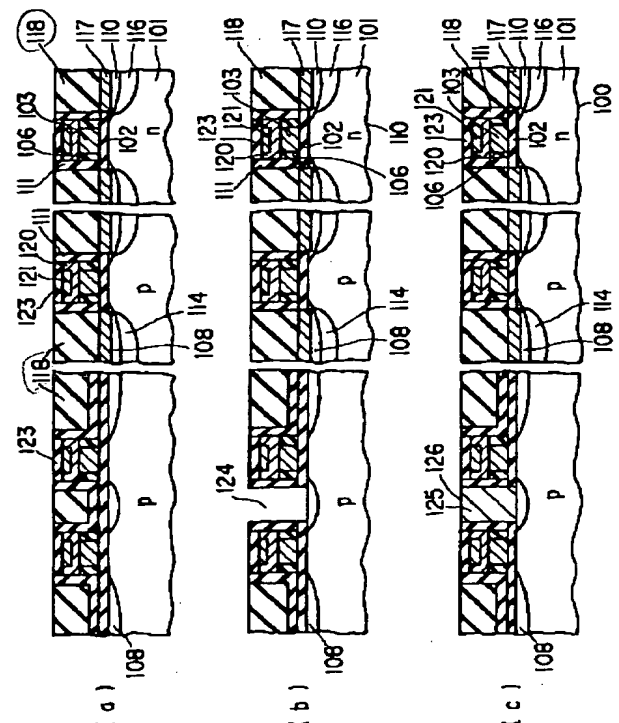
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】この発明は、ゲート電極に隣接するコンタクトホールをゲート電極に対して自己整合的に形成することを特徴とする。

【解決手段】ゲート電極を形成した後、全面に窒化シリコン膜111を堆積し、さらに酸化シリコン膜118を堆積した後に表面を平坦化し、所定のコンタクトパターンを用い、窒化シリコン膜111に対して選択比の高い条件を用いて酸化シリコン膜118をR I E法を用いてエッチングし、さらに窒化シリコン膜111のみをエッチングすることによって、ゲート電極に隣接したコンタクトホール124を形成する。n型不純物がドーブされたポリシリコン膜125を全面に堆積してコンタクトホール124を充填し、CMP法を用いて酸化シリコン膜118が露出するまでポリシリコン膜125を削り、表面を平坦化してS A C 1 2 6を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板上に形成されたゲート絶縁膜と、
上記ゲート絶縁膜上に形成されたシリコン系の第 1 導電膜からなる下部電極及び上記第 1 導電膜より低抵抗の第 2 導電膜からなる上部電極とで構成されたゲート電極と、

上記ゲート電極の側面のうち下部電極側面に選択的に形成された第 1 絶縁膜と、

上記ゲート電極の下部電極及び上部電極側面で上記第 1 絶縁膜の外側に形成された第 2 絶縁膜と、

上記第 1 絶縁膜に対して自己整合的に形成された浅い拡散層及び上記第 2 絶縁膜に対して自己整合的に形成された深い拡散層からなるソース／ドレイン領域と、

上記ソース／ドレイン領域上に形成された金属シリサイド膜とを具備したことを特徴とする半導体装置。

【請求項 2】 半導体基板と、

上記半導体基板上に形成されたゲート絶縁膜と、
上記ゲート絶縁膜上に形成されたシリコン系の第 1 導電膜からなる下部電極及び上記第 1 導電膜より低抵抗の第 2 導電膜からなる上部電極とで構成されたゲート電極と、

上記ゲート電極の側面のうち下部電極側面に選択的に形成された第 1 絶縁膜と、

上記ゲート電極の下部電極及び上部電極側面で上記第 1 絶縁膜の外側に形成された第 2 絶縁膜と、

上記半導体基板上に形成された第 1 MISFET、第 2 MISFET 及び第 3 MISFET のソース／ドレイン領域とを具備し、

上記第 1 MISFET のソース／ドレイン領域上には金属シリサイドが形成されておらず、上記第 2 MISFET 及び第 3 MISFET のソース／ドレイン領域上にはそれぞれ金属シリサイドが形成されていることを特徴とする半導体装置。

【請求項 3】 前記第 1 MISFET のソース／ドレイン領域は LDD 構造を有しておらず、前記第 2 MISFET 及び第 3 MISFET のソース／ドレイン領域は LDD 構造を有していることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記第 1 MISFET 及び第 2 MISFET が n チャネル型であり、前記第 3 MISFET が p チャネル型であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】 前記第 1 MISFET がメモリセル内のトランジスタであり、前記第 2 MISFET 及び第 3 MISFET が周辺トランジスタであることを特徴とする請求項 2 に記載の半導体装置。

【請求項 6】 前記第 2 導電膜は高融点金属膜であることを特徴とする請求項 1 乃至 5 のいずれかに 1 項に記載の半導体装置。

【請求項 7】 前記第 1 絶縁膜は酸化シリコン膜であり、前記第 2 絶縁膜は窒化シリコン膜であることを特徴とする請求項 1 乃至 5 のいずれかに 1 項に記載の半導体装置。

【請求項 8】 半導体基板上にゲート絶縁膜を形成する工程と、
上記ゲート絶縁膜上にシリコン系の第 1 導電膜を形成する工程と、

上記第 1 導電膜上にダミー膜を形成する工程と、
上記ダミー膜及び第 1 導電膜をパターンニングしてゲート電極パターンを形成する工程と、

上記ゲート電極パターンをマスクに用いて上記半導体基板上に第 1 不純物を導入して第 1 拡散層を形成する工程と、

上記ゲート電極パターンの側壁にスペーサとしての側壁絶縁膜を形成する工程と、

上記側壁絶縁膜及びゲート電極パターンをマスクに用いて上記半導体基板上に上記第 1 不純物と同一導電型の第 2 不純物を導入して、第 1 拡散層よりも深い位置に第 2 拡散層を形成する工程と、

全面に平坦化用絶縁膜を形成し、この平坦化用絶縁膜を上記ゲート電極パターンのダミー膜と実質的に同じ高さまでエッチバックして表面を平坦化する工程と、

上記ダミー膜をエッチング除去して上記側壁絶縁膜との間に第 1 段差を形成する工程と、

上記第 1 段差を上記第 1 導電膜よりも低抵抗の第 2 導電膜で充填する工程と、

上記第 2 導電膜の表面を所定の厚みだけエッチングして上記側壁絶縁膜との間に第 2 段差を形成する工程と、
上記第 2 段差をキャップ絶縁膜で充填する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 9】 前記第 2 拡散層を形成した後、前記第 1 拡散層及び第 2 拡散層からなるソース／ドレイン領域上に金属シリサイド膜を形成する工程をさらに具備したことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記ゲート電極パターンを形成した後、ゲート電極パターンの側面を酸化する工程をさらに具備し、側面に酸化膜が形成されたゲート電極パターンをマスクに用いて前記半導体基板上に第 1 不純物を導入して前記第 1 拡散層を形成することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 11】 半導体基板上にゲート絶縁膜を形成する工程と、

上記ゲート絶縁膜上に第 1 導電膜を含む複数のゲート電極パターンを形成する工程と、

上記半導体基板上に所定の間隔で第 1 MISFET、第 2 MISFET 及び第 3 MISFET のソース／ドレイン領域を形成する工程と、

絶縁膜を全面に堆積する工程と、

上記第1 MISFETの領域では上記絶縁膜を全面に残し、上記第2 MISFETの領域及び第3 MISFETの領域ではそれぞれ上記絶縁膜を各ゲート電極パターンの側壁に選択的に残してスペーサとしての側壁絶縁膜を形成する工程と、

上記第2 MISFET及び第3 MISFETのソース／ドレイン領域上に金属シリサイド膜を選択的に形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項12】 半導体基板上にゲート絶縁膜を形成する工程と、

上記ゲート絶縁膜上に第1導電膜を含む複数のゲート電極パターンを形成する工程と、

上記半導体基板に第1 MISFET及び第2 MISFETの第1拡散層を形成する工程と、

上記半導体基板に第3 MISFETの第2拡散層を形成する工程と、

絶縁膜を全面に堆積する工程と、

上記第1 MISFETの領域では上記絶縁膜を全面に残し、上記第2 MISFETの領域及び上記第3 MISFETの領域ではそれぞれ上記絶縁膜を上記ゲート電極パターンの側壁に選択的に残してスペーサとしての側壁絶縁膜を形成する工程と、

上記第2 MISFETの上記第1拡散層より深い位置に第3拡散層を形成する工程と、

上記第3 MISFETの上記第2拡散層より深い位置に第4拡散層を形成する工程と、

上記第2 MISFETの上記第1拡散層及び第3拡散層からなるソース／ドレイン領域上及び第3 MISFETの上記第2拡散層及び第4拡散層からなるソース／ドレイン領域上に金属シリサイド膜を選択的に形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項13】 半導体基板上にゲート絶縁膜を形成する工程と、

上記ゲート絶縁膜上に第1導電膜を含む複数のゲート電極パターンを形成する工程と、

上記半導体基板に第1 MISFET及び第2 MISFETの第1拡散層を形成する工程と、

上記半導体基板に第3 MISFETの第2拡散層を形成する工程と、

絶縁膜を全面に堆積する工程と、

上記第1 MISFETの領域の領域では上記絶縁膜を全面に残し、上記第2 MISFETの領域及び第3 MISFETの領域ではそれぞれ上記絶縁膜を上記ゲート電極パターンの側壁に選択的に残して第1スペーサとしての側壁絶縁膜を形成する工程と、

上記第2 MISFETの上記第1拡散層より深い位置に第3拡散層を形成する工程と、

上記第1 MISFETの領域では上記絶縁膜を全面に残し、上記第3 MISFETの領域では上記絶縁膜を上記

ゲート電極パターンの側壁に選択的に残して第2スペーサとしての側壁絶縁膜を形成する工程と、

上記第3 MISFETの上記第2拡散層より深い位置に第4拡散層を形成する工程と、

上記第2 MISFETの上記第1拡散層及び第3拡散層からなるソース／ドレイン上及び第3 MISFETの上記第2拡散層及び第4拡散層からなるソース／ドレイン領域上に金属シリサイド膜を選択的に形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項14】 前記ゲート電極パターンは、少なくとも前記第1導電膜とダミー膜とを含む積層構造を有し、前記金属シリサイド膜を選択的に形成した後、全面に平坦化用絶縁膜を形成し、この平坦化用絶縁膜を上記複数の各ゲート電極パターンのダミー膜と実質的に同じ高さまでエッチバックして表面を平坦化する工程と、上記ダミー膜をエッチング除去して前記側壁絶縁膜との間に第1段差を形成する工程と、上記第1段差を第2導電膜で充填する工程と、上記第2導電膜の表面を所定の厚みだけエッチングして前記側壁絶縁膜との間に第2段差を形成する工程と、上記第2段差をキャップ絶縁膜で充填する工程とをさらに具備したことを特徴とする請求項11乃至13のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置及びその製造方法に係り、特にMISFETを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来のメタルゲート電極のMOSトランジスタの製造方法を図11を用いて説明する。まず、図11(a)のようにp型半導体基板311上にゲート絶縁膜312を形成し、続いてポリシリコン膜313、ポリシリコンとタングステンとの反応を押さえるためのバリアメタル314及びW等の金属膜315を堆積する。次に周知のリソグラフィ法及びRIE(Reactive Ion Etching)法を用いて、ゲート電極をパターンニング形成する。次に、ゲート電極をマスクにイオン注入法を用いてn型不純物を打ち込み、基板311にソース／ドレイン拡散層316を形成する。

【0003】次に図11(b)のように窒化シリコン膜317を全面に堆積し、RIE法でエッチバックして、ゲート電極の側壁に窒化シリコン膜317からなるサイドウォール(側壁)スペーサを形成する。

【0004】このような従来の製造方法では、ゲート電極に隣接するコンタクトホールを自己整合的に形成することができない。すなわち、図11(c)に示すように、全面に絶縁膜318を堆積した後に、所定のマスクを用いてこの絶縁膜318に対してコンタクトホール319を形成する必要がある。

【0005】さらに、ゲート電極形成後は、その一部に金属膜315が露出している。このため、ゲート側壁を酸化することができず、R I Eダメージあるいはイオン注入ダメージを回復させることができない。

【0006】さらにサイドウォールスペーサである窒化シリコン膜317の形成に際して、金属膜上に堆積した窒化シリコン膜は、絶縁膜上あるいはポリシリコン上に堆積した窒化シリコン膜より膜質が劣化することが分かっており、良質なサイドウォールを形成することができない、等の問題があった。

【0007】そこで、メタルゲート電極形成及びD R A M等のメモリに対応したS A C (Self Aligned Contact) 形成に適した半導体装置の製造方法が、株式会社東芝の幸山他により提案されている(特願平8-183337号)。

【0008】この方法は、ゲート電極の側壁に、酸化シリコン膜に対して高いエッチング選択性を持つ窒化シリコン膜からなるサイドウォールスペーサ及びキャップ膜を形成することにより、ゲート電極相互間に形成した酸化シリコン膜を選択除去することによって、ソース/ドレイン拡散層に対するコンタクトホールを形成するものである。

【0009】

【発明が解決しようとする課題】ところで、最近ではロジック部とメモリ部を混載したデバイスの要求が高くなってきている。一般にメモリ部に比べてロジック部では高性能なM I S F E Tを必要としており、そのためにはM I S F E Tの拡散層のシート抵抗を下げる必要があり、T i S i₂やC o S i₂等の金属シリサイドを形成することでこれを実現している。

【0010】また、メモリ部では、M I S F E Tのソース/ドレイン拡散層の深さをロジック部よりも浅く形成するため、メモリ部内のM I S F E Tの拡散層上に金属シリサイドを形成すると、金属シリサイド底部にスパイクが発生し、これが基板とショートする可能性が大きくなり、ソース/ドレイン拡散層における接合リークが増加してしまう。従って、メモリ部のM I S F E Tには金属シリサイドを形成することは好ましくない。

【0011】先の特願平8-183337号の出願に係る方法において、ソース/ドレイン拡散層上に金属シリサイドを形成する工程を付加しようとする、ロジック部のM I S F E Tとメモリ部のM I S F E Tの両方の拡散層上に金属シリサイドが形成されてしまい、メモリ部のM I S F E Tでは先に説明したような接合リーク増加が発生してしまう。

【0012】このように、先の特願平8-183337号の出願に係る方法に金属シリサイドを形成する工程を追加して、ロジック部とメモリ部とを混載した半導体装置を製造すると、メモリ部の拡散層上にも金属シリサイドが形成されてしまい、メモリ部の拡散層上に金属シリ

サイドが存在しない構造を得ることはできない。

【0013】また、ゲート電極に隣接したコンタクトホールを形成する場合、図12のようにn型拡散層401がオーバーエッチングされてp型シリコン半導体基板402にまで達すると、この後、ポリシリコン膜を堆積してコンタクトホール403を充填する際に、n型拡散層401がシリコン半導体基板402とショートすることがある。

【0014】なお、図12において、404はゲート酸化膜、405はゲート電極の下部電極を構成するポリシリコン膜、406、407はゲート電極の上部電極を構成するT i NまたはW N等からなるバリアメタル及びW等からなる金属膜、408はゲート電極の側壁に設けられた窒化シリコン膜からなるサイドウォールスペーサ、409はゲート電極相互間に形成された酸化シリコン膜である。

【0015】この発明は上記のような事情を考慮してなされたものであり、その目的は、ゲート電極に隣接するコンタクトホールをゲート電極に対して自己整合的に形成することができる半導体装置及びその製造方法を提供することにある。

【0016】また、この発明の他の目的は、同一チップ上に例えばロジック部とメモリ部を備えた半導体装置を製造する際に、一方のM I S F E Tの拡散層上にもみ選択的に金属シリサイドを形成することができ、他方のM I S F E Tの拡散層上には金属シリサイドが存在しない構造を得ることができ、もって一方のM I S F E Tの特性を損なうことなく他方のM I S F E Tの特性向上を図ることができる半導体装置及びその製造方法を提供することにある。

【0017】さらにこの発明は、ゲート抵抗が低くかつゲート電極とソース/ドレイン領域間の寄生容量の小さなM I S F E Tを有する半導体装置及びメタルゲート電極のM I S F E Tを歩留まりよく得ることのできる信頼性の高い半導体装置の製造方法を提供することも目的とする。

【0018】

【課題を解決するための手段】この発明の半導体装置は、半導体基板と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたシリコン系の第1導電膜からなる下部電極及び上記第1導電膜より低抵抗の第2導電膜からなる上部電極とで構成されたゲート電極と、上記ゲート電極の側面のうち下部電極側面に選択的に形成された第1絶縁膜と、上記ゲート電極の下部電極及び上部電極側面で上記第1絶縁膜の外側に形成された第2絶縁膜と、上記第1絶縁膜に対して自己整合的に形成された浅い拡散層及び上記第2絶縁膜に対して自己整合的に形成された深い拡散層からなるソース/ドレイン領域と、上記ソース/ドレイン領域上に形成された金属シリサイド膜とを具備したことを特徴とす

る。

【0019】この発明の半導体装置は、半導体基板と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたシリコン系の第1導電膜からなる下部電極及び上記第1導電膜より低抵抗の第2導電膜からなる上部電極とで構成されたゲート電極と、上記ゲート電極の側面のうち下部電極側面に選択的に形成された第1絶縁膜と、上記ゲート電極の下部電極及び上部電極側面で上記第1絶縁膜の外側に形成された第2絶縁膜と、上記半導体基板に形成された第1MISFET、第2MISFET及び第3MISFETのソース／ドレイン領域とを具備し、上記第1MISFETのソース／ドレイン領域上には金属シリサイドが形成されており、上記第2MISFET及び第3MISFETのソース／ドレイン領域上にはそれぞれ金属シリサイドが形成されていることを特徴とする。

【0020】この発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上にシリコン系の第1導電膜を形成する工程と、上記第1導電膜上にダミー膜を形成する工程と、上記ダミー膜及び第1導電膜をパターンニングしてゲート電極パターンを形成する工程と、上記ゲート電極パターンをマスクに用いて上記半導体基板に第1不純物を導入して第1拡散層を形成する工程と、上記ゲート電極パターンの側壁にスペーサとしての側壁絶縁膜を形成する工程と、上記側壁絶縁膜及びゲート電極パターンをマスクに用いて上記半導体基板に上記第1不純物と同一導電型の第2不純物を導入して、第1散層よりも深い位置に第2拡散層を形成する工程と、全面に平坦化用絶縁膜を形成し、この平坦化用絶縁膜を上記ゲート電極パターンのダミー膜と実質的に同じ高さまでエッチバックして表面を平坦化する工程と、上記ダミー膜をエッチング除去して上記側壁絶縁膜との間に第1段差を形成する工程と、上記第1段差を上記第1導電膜よりも低抵抗の第2導電膜で充填する工程と、上記第2導電膜の表面を所定の厚みだけエッチングして上記側壁絶縁膜との間に第2段差を形成する工程と、上記第2段差をキャップ絶縁膜で充填する工程とを具備したことを特徴とする。

【0021】この発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上に第1導電膜を含む複数のゲート電極パターンを形成する工程と、上記半導体基板に所定の間隔で第1MISFET、第2MISFET及び第3MISFETのソース／ドレイン領域を形成する工程と、絶縁膜を全面に堆積する工程と、上記第1MISFETの領域では上記絶縁膜を全面に残し、上記第2MISFETの領域及び第3MISFETの領域ではそれぞれ上記絶縁膜を各ゲート電極パターンの側壁に選択的に残してスペーサとしての側壁絶縁膜を形成する工程と、上記第2MISFET及び第3MISFETのソース／ドレイン領域上

に金属シリサイド膜を選択的に形成する工程とを具備したことを特徴とする。

【0022】この発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上に第1導電膜を含む複数のゲート電極パターンを形成する工程と、上記半導体基板に第1MISFET及び第2MISFETの第1拡散層を形成する工程と、上記半導体基板に第3MISFETの第2拡散層を形成する工程と、絶縁膜を全面に堆積する工程と、上記第1MISFETの領域では上記絶縁膜を全面に残し、上記第2MISFETの領域及び上記第3MISFETの領域ではそれぞれ上記絶縁膜を上記ゲート電極パターンの側壁に選択的に残してスペーサとしての側壁絶縁膜を形成する工程と、上記第2MISFETの上記第1拡散層より深い位置に第3拡散層を形成する工程と、上記第3MISFETの上記第2拡散層より深い位置に第4拡散層を形成する工程と、上記第2MISFETの上記第1拡散層及び第3拡散層からなるソース／ドレイン領域上及び第3MISFETの上記第2拡散層及び第4拡散層からなるソース／ドレイン領域上に金属シリサイド膜を選択的に形成する工程とを具備したことを特徴とする。

【0023】この発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上に第1導電膜を含む複数のゲート電極パターンを形成する工程と、上記半導体基板に第1MISFET及び第2MISFETの第1拡散層を形成する工程と、上記半導体基板に第3MISFETの第2拡散層を形成する工程と、絶縁膜を全面に堆積する工程と、上記第1MISFETの領域の領域では上記絶縁膜を全面に残し、上記第2MISFETの領域及び第3MISFETの領域ではそれぞれ上記絶縁膜を上記ゲート電極パターンの側壁に選択的に残して第1スペーサとしての側壁絶縁膜を形成する工程と、上記第2MISFETの上記第1拡散層より深い位置に第3拡散層を形成する工程と、上記第1MISFETの領域では上記絶縁膜を全面に残し、上記第3MISFETの領域では上記絶縁膜を上記ゲート電極パターンの側壁に選択的に残して第2スペーサとしての側壁絶縁膜を形成する工程と、上記第3MISFETの上記第2拡散層より深い位置に第4拡散層を形成する工程と、上記第2MISFETの上記第1拡散層及び第3拡散層からなるソース／ドレイン上及び第3MISFETの上記第2拡散層及び第4拡散層からなるソース／ドレイン領域上に金属シリサイド膜を選択的に形成する工程とを具備したことを特徴とする。

【0024】

【発明の実施の形態】以下図面を参照してこの発明の実施の形態を説明する。図1ないし図5は、この発明の第1の実施の形態による半導体装置の製造工程を示す断面図である。

【0025】なお、本例の半導体装置はメモリ部とロジ

ック部とが混載されたものであり、さらにメモリ部には、nチャネルのトランジスタ(nMOSFET)が形成され、ロジック部にはnチャネルとpチャネルからなる両チャネルのMOSFET (以下、ロジックnMOSFET及びロジックpMOSFETと称する) が形成される場合を示す。

【0026】まず、図1(a)のようにnウェル領域101が形成されたp型シリコン半導体基板100上にゲート酸化膜102を形成し、続いてn型不純物がドーパされたポリシリコン膜103を全面に堆積し、このポリシリコン膜103の表面を酸化して酸化シリコン膜104を形成する。続いてポリシリコン膜105を全面に堆積する。ここで、上層のポリシリコン膜105はダミー膜として使用される。

【0027】次に図1(b)のように周知のリソグラフィ法及びRIE法を用いてゲート電極形状にパターンニングする。続いてRIEの際のダメージを回復するための酸化を行い、上記ゲート電極パターンの露出面上に酸化シリコン膜106を形成する。

【0028】次に図1(c)のようにロジックpMOSFET上(nウェル領域101の形成領域に対応)にレジスト107を形成し、このレジスト107及びゲート電極パターンをマスクに基板100に対してP、Asなどのn型不純物をイオン注入し、その後、熱処理を行ってメモリセルとロジックnMOSFETの第1のn型拡散層108を形成する。このときのイオンのドーズ量は例えば $1 \times 10^{14} \sim 5 \times 10^{14} (\text{/cm}^2)$ であり、加速電圧は例えば20 (KeV)である。

【0029】次に図2(a)のようにメモリセルとロジックnMOSFET上にレジスト109を形成し、このレジスト109及びゲート電極パターンをマスクにB、BF₃などのp型不純物をnウェル領域101に対してイオン注入し、その後、熱処理を行ってロジックpMOSFETの第1のp型拡散層110を形成する。

【0030】次に図2(b)のように窒化シリコン膜111を全面に堆積した後、メモリセル上にレジスト112を形成し、RIE法によるエッチバックでロジックnMOSFET及びロジックpMOSFETの各ゲート電極パターンの側壁に窒化シリコン膜111からなるサイドウォールスペーサを形成する。

【0031】次に図2(c)のようにメモリセルとロジックpMOSFET上にレジスト113を形成し、このレジスト113及び窒化シリコン膜111からなるサイドウォールスペーサが形成されたゲート電極パターンをマスクにP、Asなどのn型不純物を基板100に対してイオン注入し、その後、熱処理を行ってロジックnMOSFETの第1のn型拡散層108より深い位置に第2のn型拡散層114を形成する。このときのイオンのドーズ量は例えば $1 \times 10^{15} \sim 5 \times 10^{15} (\text{/cm}^2)$ であり、加速電圧は例えば30~40 (KeV)であ

る。

【0032】次に図3(a)のようにメモリセルとロジックnMOSFET上にレジスト115を形成し、このレジスト115及びゲート電極パターンをマスクにB、BF₃などのp型不純物をnウェル領域101に対してイオン注入して、ロジックpMOSFETの第1のp型拡散層110よりも深い位置に第2のp型拡散層116を形成する。このときのイオンのドーズ量は例えば $1 \times 10^{15} \sim 5 \times 10^{15} (\text{cm}^2)$ であり、加速電圧は例えば30~40 (KeV)である。なお、以上で形成された第1のn型拡散層108及び第2のn型拡散層114は、その後の熱工程における不純物の活性化でロジックnMOSFETのソース/ドレイン領域となり、第1のp型拡散層110及び第2のp型拡散層116は同様にロジックpMOSFETのソース/ドレイン領域となる。

【0033】次に図3(b)のように、上記レジスト115を除去した後に、金属、例えばTiをスパッタリング法を用いて堆積し、さらに熱処理を施して、ロジックnMOSFETのソース/ドレイン領域(第1のn型拡散層108、第2のn型拡散層114)、ロジックpMOSFETのソース/ドレイン領域(第1のp型拡散層110、第2のp型拡散層116)、ポリシリコン膜105と反応させてTiSi₂膜を形成する。続いて未反応のTiをウェット処理で除去することによって金属シリサイド117を選択的に形成する。このとき、酸化シリコンや窒化シリコン上には金属シリサイドは形成されないので、全面に窒化シリコン膜111が残っているメモリセルの第1のn型拡散層108上にはこの金属シリサイド117は形成されない。

【0034】次に図3(c)のように全面に酸化シリコン膜118を堆積した後、CMP法を用いてゲート電極パターンが露出するまでこの酸化シリコン膜118を削り、表面を平坦化する。

【0035】次に図4(a)のようにRIE法またはCDE法を用いて金属シリサイド117とポリシリコン膜105をエッチング除去し、さらに酸化シリコン膜104、106をHFなどを用いたウェット処理によりエッチングし、窒化シリコン膜111及び酸化シリコン膜118との間に段差119を形成する。

【0036】次に図4(b)のように上記段差119を完全に埋め込まない程度の厚みに、TiNまたはWN等からなるバリアメタル120をスパッタリング法またはCVD法を用いて全面に堆積し、続いて金属膜121、好ましくはW等の高融点金属膜121をスパッタリング法またはCVD法を用いて全面に堆積し、上記段差119を完全に充填する。そして、CMP法を用いて酸化シリコン膜118が露出するまで金属膜121とバリアメタル120を削り、表面を平坦化する。

【0037】次に図4(c)のようにRIE法またはC

D E法を用いて上記金属膜121とバリアメタル120をエッチングし、窒化シリコン膜111及び酸化シリコン膜118との間に段差122を形成する。

【0038】次に図5(a)のように全面に窒化シリコン膜123を堆積して上記段差122を充填し、CMP法を用いて酸化シリコン膜118が露出するまで窒化シリコン膜123を削り、表面を平坦化する。

【0039】次に図5(b)のように所定のコンタクトパターンを用い、窒化シリコン膜111、123に対して選択比の高い条件を用いて酸化シリコン膜118をR I E法を用いてエッチング開口し、さらに開口部底部の窒化シリコン膜111及びゲート酸化膜102をエッチングすることによって、ゲート電極に隣接したコンタクトホール124を形成する。

【0040】次に図5(c)のように、n型不純物がドーパされたポリシリコン膜125を全面に堆積してコンタクトホール124を充填し、CMP法を用いて酸化シリコン膜118及び窒化シリコン膜123が露出するまでポリシリコン膜125を削り、表面を平坦化してS A C 126を形成する。

【0041】このような方法によれば、金属シリサイド形成時に酸化シリコンや窒化シリコン上には金属シリサイド117が形成されないで、メモリの第1のn型拡散層108上にはこの金属シリサイド117は形成されない。従って、ロジック部のM O S F E Tの拡散層上には金属シリサイドが存在し、メモリ部のメモリセルトランジスタの拡散層上には金属シリサイドが存在しないという構造が容易に実現できる。

【0042】この結果、ロジック部では拡散層のシート抵抗を下げることで、M O S F E Tの特性向上を図ることができ、メモリ部では金属シリサイド形成による接合リークを増加を排除することができる。

【0043】また、ゲート電極に隣接したコンタクトホール124を形成する際に、窒化シリコン膜111、123に対して選択比の高い条件を用いて酸化シリコン膜118をエッチングするので、メモリ部のM O S F E Tの第1のn型拡散層108のオーバーエッチングを防止することができ、この後、ポリシリコン膜125を埋め込んだ際に、この第1のn型拡散層108とp型シリコン半導体基板100とがショートすることを防止できる。

【0044】一方、最終構造である図5(c)中の右側に位置しているロジックnM O S F E T及びロジックpM O S F E Tでは、第1のn型拡散層108及び第1のp型拡散層110はそれぞれ側面に酸化シリコン膜106が形成されたゲート電極に対して自己整合的に形成されている。またこれら第1のn型拡散層108及び第1のp型拡散層110よりも深い位置でかつ高不純物濃度を有する第2のn型拡散層114及び第2のp型拡散層116はそれぞれ上記酸化シリコン膜106の側面に形

成されている側壁絶縁膜としての窒化シリコン膜111に対して自己整合的に形成されている。このため、イオン注入後に熱処理を行って上記高不純物濃度を有する第2のn型拡散層114及び第2のp型拡散層116を形成する際に、熱拡散による両拡散層の伸びは、第1のn型拡散層108及び第1のp型拡散層110の伸びに比べて小さくなる。さらに、ここでは、通常のL D D構造とは異なり、窒化シリコン膜111からなる側壁絶縁膜に加えゲート電極の下部のポリシリコン膜103の側面に絶縁膜として酸化シリコン膜118が形成されているので、ソース/ドレイン拡散層とゲート電極を構成するポリシリコン膜103との間のオーバーラップ量が小さくなり、しかも酸化シリコンの比誘電率が低いことと相俟ってゲート・ソース(もしくはドレイン)間の寄生容量値が小さなものとなり、特性の向上、特に高周波特性の向上を図ることができる。しかもゲート電極の上部の金属膜121部分ではポリシリコン膜103の部分よりも長いゲート長を有しているため、ゲート抵抗を低減する上で非常に有利である。

【0045】さらに以上のような製造工程では、ゲート電極の一部を構成する耐酸性が十分ではないW等の金属膜121が、ソース/ドレイン領域上の金属シリサイド117形成の後に堆積される。従って、イオン注入時に用いたレジスト剥離や金属シリサイド形成後の未反応のTi除去の際等に、金属膜121が薬液に晒されることがなく、かつ金属膜121の堆積後に直ちにキャップ絶縁膜としての窒化シリコン膜123で覆われるので、歩留まりよくメタルゲート電極のM O S F E Tを形成でき、信頼性が向上する。

【0046】図6ないし図10は、この発明の第2の実施の形態による半導体装置の製造工程を示す断面図である。この場合にも、製造される半導体装置はメモリ部とロジック部とが混載されたものであり、かつメモリ部にはnチャネルのトランジスタが形成され、ロジック部にはロジックnM O S F E T及びロジックpM O S F E Tが形成される場合を示す。

【0047】まず、図6(a)のようにnウエル領域201が形成されたp型シリコン半導体基板200上にゲート酸化膜202を形成し、続いてn型不純物がドーパされたポリシリコン膜203を全面に堆積し、このポリシリコン膜203の表面を酸化して酸化シリコン膜204を形成する。続いてポリシリコン膜205を全面に堆積する。ここで、上層のポリシリコン膜205はダミー膜として使用される。

【0048】次に図6(b)のように周知のリソグラフィ法及びR I E法を用いてゲート電極形状にパターニングする。続いてR I Eの際のダメージを回復するための酸化を行い、上記ゲート電極パターンの露出面上に酸化シリコン膜206を形成する。

【0049】次に図6(c)のようにロジックpM O S

FET上にレジスト207を形成し、このレジスト207及びゲート電極パターンをマスクに用いてP、Asなどのn型不純物を基板200に対してイオン注入し、その後、熱処理を行ってメモリセルとロジックnMOSFETの第1のn型拡散層208を形成する。このときのイオンのドーズ量及び加速電圧は、第1の実施の形態における前記図1(c)の工程の場合と同様である。

【0050】次に図7(a)のようにメモリセルとロジックnMOSFET上にレジスト209を形成し、このレジスト209及びゲート電極パターンをマスクに用いて、B、BF₃などのp型不純物をnウェル領域201に対してイオン注入し、ロジックpMOSFETの第1のp型拡散層210を形成する。

【0051】次に図7(b)のように窒化シリコン膜211を全面に堆積した後、メモリセル上及びロジックpMOSFET上にレジスト212を形成し、ロジックnMOSFET上に存在している窒化シリコン膜211をRIE法によりエッチバックして、ゲート電極の側壁に窒化シリコン膜211からなるサイドウォールスペーサを形成する。その後、上記レジスト212及び窒化シリコン膜211からなるサイドウォールスペーサが形成されたゲート電極をマスクに用いて、P、Asなどのn型不純物を基板200に対してイオン注入し、ロジックnMOSFET部の第1のn型拡散層208よりも深い位置に第2のn型拡散層213を形成する。このときのイオンのドーズ量及び加速電圧は、第1の実施の形態における前記図2(c)の工程の場合と同様である。

【0052】次に図7(c)のようにメモリセルとロジックnMOSFET上にレジスト214を形成し、ロジックpMOSFET上に存在している窒化シリコン膜211をRIE法によりエッチバックして、ゲート電極の側壁に窒化シリコン膜211からなるサイドウォールスペーサを形成する。その後、上記レジスト214及び窒化シリコン膜211からなるサイドウォールスペーサが形成されたゲート電極パターンをマスクに用いて、B、BF₃などのp型不純物をnウェル領域201に対してイオン注入し、ロジックpMOSFET部の第1のp型拡散層110よりも深い位置に第2のp型拡散層215を形成する。このときのイオンのドーズ量及び加速電圧は、第1の実施の形態における前記図3(a)の工程の場合と同様である。なお、以上で形成された第1のn型拡散層208及び第2のn型拡散層213は、その後の熱工程における不純物の活性化でロジックnMOSFETのソース/ドレイン領域となり、第1のp型拡散層210及び第2のp型拡散層215は同様にロジックpMOSFETのソース/ドレイン領域となる。

【0053】次に図8(a)のように例えばTiをスパッタリング法を用いて堆積し、さらに熱処理を施して、ロジックnMOSFETのソース/ドレイン領域(第1のn型拡散層208、第2のn型拡散層213)、ロジ

ックpMOSFETのソース/ドレイン領域(第1のp型拡散層210、第2のp型拡散層215)、ポリシリコン膜205と反応させてTiSi₂膜を形成する。続いて未反応のTiをHFなどのウェット処理で除去することによって金属シリサイド216を選択的に形成する。この時、酸化シリコンや窒化シリコン上には金属シリサイド216が形成されないで、全面に窒化シリコン膜211が残っているメモリセルの第1のn型拡散層208上にはこの金属シリサイド216は形成されない。

【0054】次に図8(b)のように全面に酸化シリコン膜217を堆積した後、CMP法を用いてゲート電極パターンが露出するまでこの酸化シリコン膜217を削り、表面を平坦化する。

【0055】次に図8(c)のようにRIE法またはCDE法を用いて金属シリサイド216とポリシリコン膜205をエッチング除去し、さらに酸化シリコン膜204、206をHFなどのウェット処理によりエッチングし、窒化シリコン膜211及び酸化シリコン膜217との間に段差218を形成する。

【0056】次に図9(a)のように上記段差218を完全に埋め込まない程度の厚みに、TiNまたはWN等からなるバリアメタル219をスパッタリング法またはCVD法を用いて全面に堆積し、続いて金属膜220、好ましくはW等の高融点金属膜220をスパッタリング法またはCVD法を用いて全面に堆積し、上記段差218を完全に充填する。そして、CMP法を用いて酸化シリコン膜217が露出するまで金属膜220とバリアメタル219を削り、表面を平坦化する。

【0057】次に図9(b)のようにRIE法またはCDE法を用いて上記金属膜220とバリアメタル219をエッチングし、窒化シリコン膜211及び酸化シリコン膜217との間に段差221を形成する。

【0058】次に図9(c)のように全面に窒化シリコン膜222を堆積して上記段差221を充填し、CMP法を用いて酸化シリコン膜217が露出するまで窒化シリコン膜222を削り、表面を平坦化する。

【0059】次に図10(a)のように所定のコンタクトパターンを用い、窒化シリコン膜211、222に対して選択比の高い条件を用いて酸化シリコン膜217をRIE法を用いてエッチング開口し、さらに開口部底部の窒化シリコン膜211及びゲート酸化膜202をエッチングすることによって、ゲート電極に隣接したコンタクトホール223を形成する。

【0060】次に図10(b)のように、n型不純物がドーブされたポリシリコン膜224を全面に堆積してコンタクトホール223を充填し、CMP法を用いて酸化シリコン膜217及び窒化シリコン膜222が露出するまでポリシリコン膜224を削り、表面を平坦化してSAC225を形成する。

【0061】このような方法においても、金属シリサイド形成時に酸化シリコンや窒化シリコン上には金属シリサイド216が形成されないで、メモリセルのMOSFETの第1のn型拡散層208上にはこの金属シリサイド216が形成されない。従って、ロジック部のMOSFETの拡散層上には金属シリサイドが存在し、メモリセル部のメモリセルトランジスタの拡散層上には金属シリサイドが存在しないという構造が容易に実現できる。

【0062】この結果、ロジック部では拡散層のシート抵抗を下げることができ、MOSFETの特性向上を図ることができ、メモリ部では金属シリサイド形成による接合リークを増加を排除することができる。

【0063】また、ゲート電極に隣接したコンタクトホール223を形成する際に、窒化シリコン膜211、222に対して選択比の高い条件を用いて酸化シリコン膜217をエッチングするので、メモリ部のMOSFETの第1のn型拡散層208のオーバーエッチングを防止することができ、この後、ポリシリコン膜224を埋め込んだ際に、この第1のn型拡散層208とp型シリコン半導体基板200とがショートすることを防止できる。

【0064】さらに第1の実施の形態の方法と比較すると、第1の実施の形態の方法における図2(b)の工程、すなわち窒化シリコン膜111を全面に堆積した後、メモリ部上にレジスト112を形成し、RIE法によるエッチバックでロジックnMOSFET及びロジックpMOSFETのゲート電極パターンの側壁に窒化シリコン膜111からなるサイドウォールスペーサを形成する工程と、図2(c)の工程、すなわち、メモリセルとロジックpMOSFET上にレジスト113を形成し、ロジックnMOSFETの第2のn型拡散層114を形成する工程と、図3(a)の工程、すなわちメモリセルとロジックnMOSFET上にレジスト115を形成し、ロジックpMOSFETの第2のp型拡散層116を形成する工程とからなる3工程が、第2の実施の形態の方法では図7(b)の工程、すなわち窒化シリコン膜211を全面に堆積した後にメモリセルとロジックpMOSFET上にレジスト212を形成し、RIE法によるエッチバックでロジックnMOSFETのゲート電極パターンの側壁に窒化シリコン膜211からなるサイドウォールスペーサを形成し、その後、ロジックnMOSFETの第2のn型拡散層を形成する工程と、図7(c)の工程、すなわちメモリセルとロジックnMOSFET上にレジスト214を形成し、RIE法によるエッチバックでロジックpMOSFETのゲート電極パターンの側壁に窒化シリコン膜211からなるサイドウォールスペーサを形成し、その後、ロジックpMOSFETの第2のp型拡散層215を形成する工程からなる2工程で済む。

【0065】この結果、第2の実施の形態の方法は、第1の実施の形態の方法と比べて、リソグラフィー工程を1回削減することができるという別な効果が得られる。この実施の形態による方法で製造された半導体装置において、その最終構造である図10(b)中の右側に位置しているロジックnMOSFET及びロジックpMOSFETでは、第1のn型拡散層208及び第1のp型拡散層210はそれぞれ側面に酸化シリコン膜206が形成されたゲート電極に対して自己整合的に形成されている。またこれら第1のn型拡散層208及び第1のp型拡散層210よりも深い位置でかつ高不純物濃度を有する第2のn型拡散層213及び第2のp型拡散層215はそれぞれ上記酸化シリコン膜206の側面に形成されている側壁絶縁膜としての窒化シリコン膜211に対して自己整合的に形成されている。このため、イオン注入後に熱処理を行って上記高不純物濃度を有する第2のn型拡散層213及び第2のp型拡散層215を形成する際に、熱拡散による両拡散層の伸びは、第1のn型拡散層208及び第1のp型拡散層210の伸びに比べて小さくなる。さらに、第1の実施の形態と同様にポリシリコン膜203の側面に絶縁膜としての酸化シリコン膜217が形成されているので、ソース/ドレイン拡散層とゲート電極を構成するポリシリコン膜203との間のオーバーラップ量が小さくなり、しかも酸化シリコンの比誘電率が低いことと相俟ってゲート・ソース（もしくはドレイン）間の寄生容量値が小さなものとなり、特性の向上、特に高周波特性の向上を図ることができる。また、第1の実施の形態と同様にゲート抵抗を低減することができ、さらに歩留まり良くメタルゲート電極のMOSFETを形成でき、信頼性が向上する。

【0066】なお、この発明は上記実施の形態に限定されるものではなく、種々の変形が可能であることはいふまでもない。すなわち上記実施の形態ではメモリ部とロジック部とが混載された半導体装置を製造する場合について説明したが、例えばメモリセルと周辺回路のようなソース/ドレイン拡散層上に金属シリサイドを形成する必要があるMISFETと、形成しないMOSFETの両方を含む半導体装置でもよく、その他MISFETを有するあらゆる半導体装置で実施が可能である。

【0067】

【発明の効果】以上説明したようにこの発明によれば、ゲート電極に隣接するコンタクトホールをゲート電極に対して自己整合的に形成することができる半導体装置及びその製造方法を提供することができる。

【0068】さらにこの発明によれば、同一チップ上に例えばロジック部とメモリ部が混載された半導体装置などを製造する際に、一方のMISFETの拡散層上のみ選択的に金属シリサイドを形成することができ、他方のMISFETの拡散層上には金属シリサイドが存在しない構造を得ることができ、もって一方のMISFET

の特性を損なうことなく他方のMISFETの特性向上を図ることができる半導体装置及びその製造方法を提供することができる。

【0069】また本発明によれば、ゲート抵抗が低くかつゲート電極とソース／ドレイン領域間の寄生容量の小さなMISFETを有する半導体装置及びメタルゲート電極を持つMISFETを歩留まり良く得ることのできる信頼性の高い半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態による半導体装置の製造工程を示す断面図。

【図2】図1に続く製造工程を示す断面図。

【図3】図2に続く製造工程を示す断面図。

【図4】図3に続く製造工程を示す断面図。

【図5】図4に続く製造工程を示す断面図。

【図6】この発明の第2の実施の形態による半導体装置の製造工程を示す断面図。

【図7】図6に続く製造工程を示す断面図。

【図8】図7に続く製造工程を示す断面図。

【図9】図8に続く製造工程を示す断面図。

【図10】図9に続く製造工程を示す断面図。

【図11】従来の半導体装置の製造工程を示す断面図。

【図12】この発明以前に提案されている半導体装置の製造方法の一部の工程を示す断面図。

【符号の説明】

100、200…p型シリコン半導体基板、

101、201…nウェル領域、

102、202…ゲート酸化膜、

103、203…ポリシリコン膜、

104、204…酸化シリコン膜、

105、205…ポリシリコン膜、

106、206…酸化シリコン膜、

107、207…レジスト、

108、208…第1のn型拡散層、

109、209…レジスト、

110、210…第1のp型拡散層、

111、211…窒化シリコン膜、

112、212…レジスト、

113…レジスト、

114、213…第2のn型拡散層、

115、214…レジスト、

116、215…第2のp型拡散層、

117、216…金属シリサイド、

118、217…酸化シリコン膜、

119、218…段差、

120、219…バリアメタル、

121、210…金属膜、

122、221…段差、

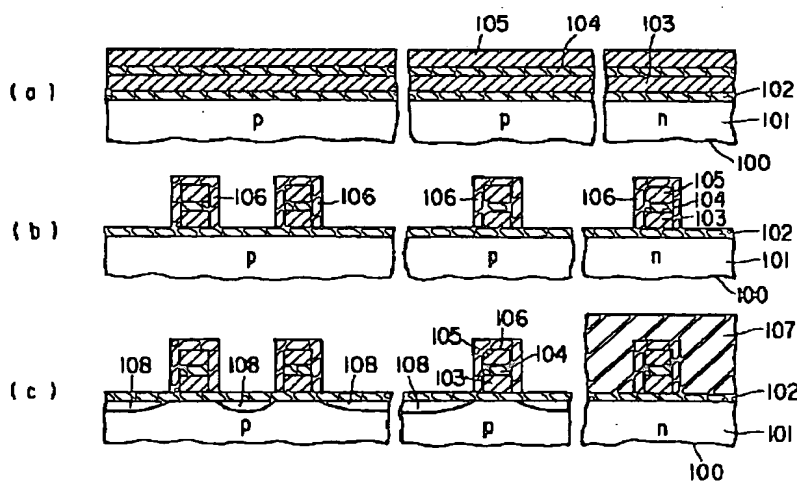
123、222…窒化シリコン膜、

124、223…コンタクトホール、

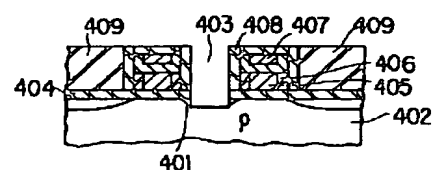
125、224…ポリシリコン膜、

126、225…SAC (Self Aligned Contact)。

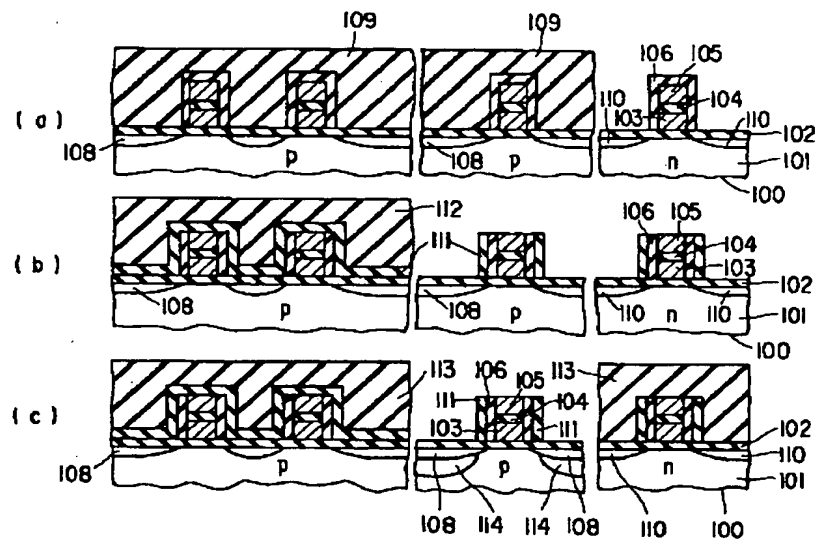
【図1】



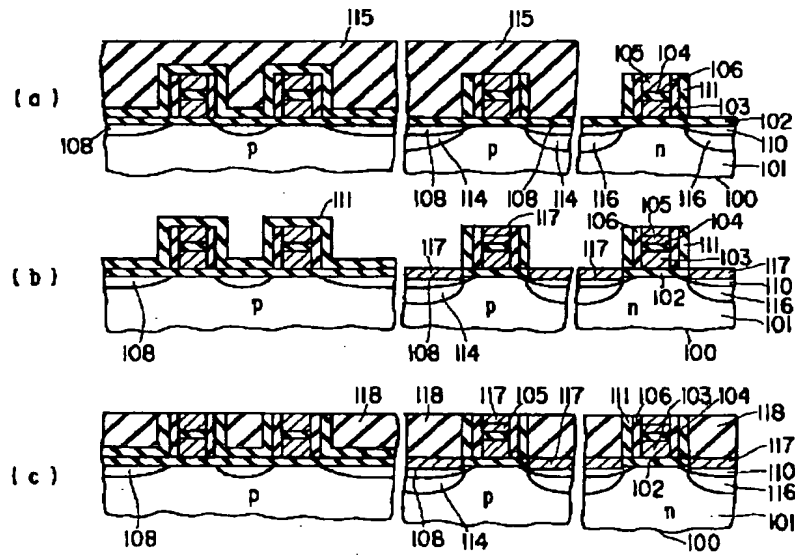
【図12】



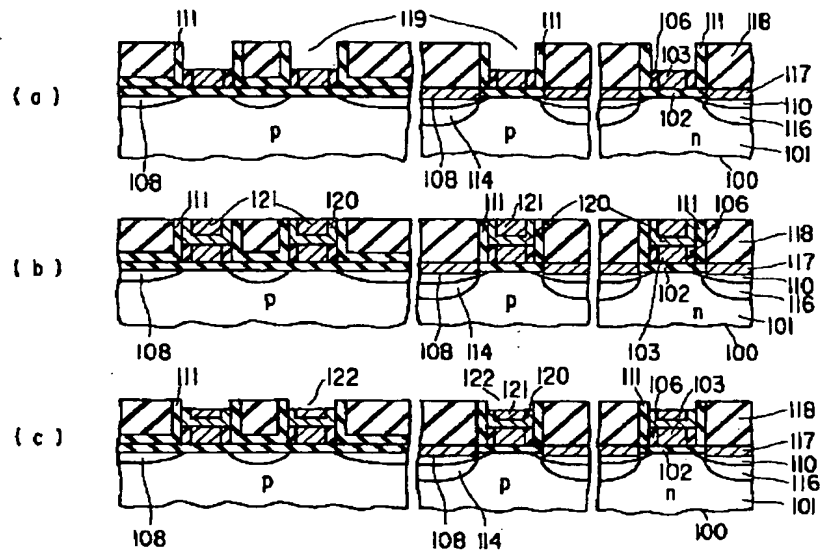
【図 2】



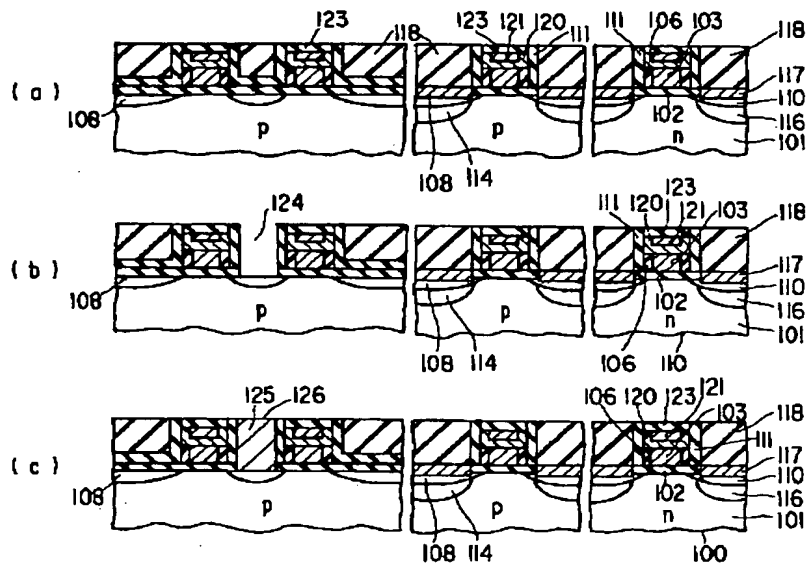
【図 3】



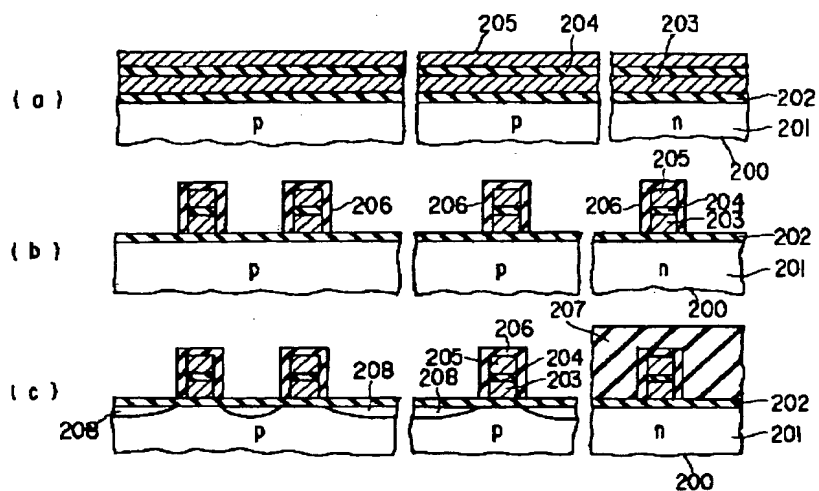
【図 4】



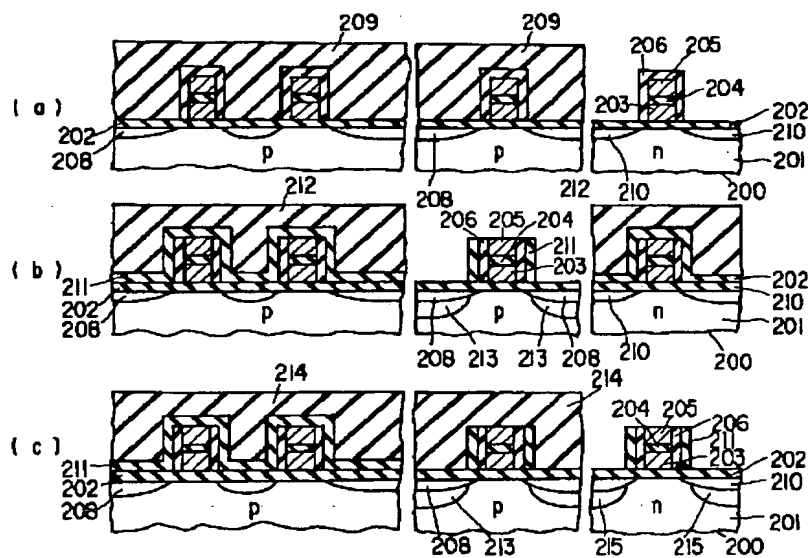
【図 5】



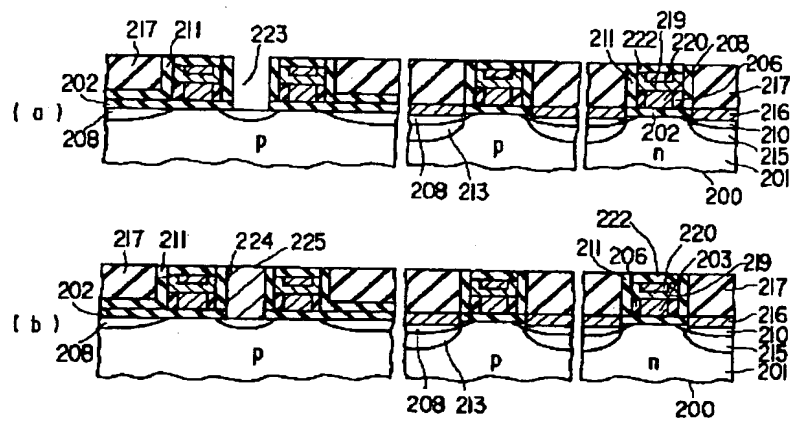
【図 6】



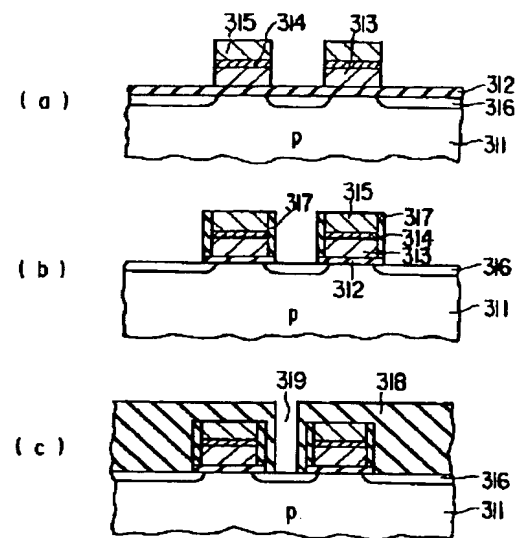
【図 7】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 29/78

21/336

識別記号

F I

